



(12) 发明专利申请

(10) 申请公布号 CN 115020211 A

(43) 申请公布日 2022. 09. 06

(21) 申请号 202210941301.9

H01L 29/423 (2006.01)

(22) 申请日 2022.08.08

H01L 29/78 (2006.01)

(71) 申请人 合肥晶合集成电路股份有限公司
地址 230012 安徽省合肥市新站区合肥综
合保税区内西淝河路88号

(72) 发明人 王梦慧 李庆民 陈信全 杨宗凯
祝进专

(74) 专利代理机构 上海光华专利事务所(普通
合伙) 31219
专利代理师 林安安

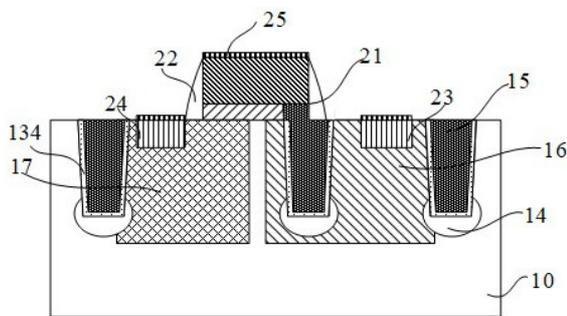
(51) Int. Cl.
H01L 21/28 (2006.01)
H01L 21/336 (2006.01)
H01L 21/762 (2006.01)
H01L 29/06 (2006.01)

权利要求书2页 说明书7页 附图7页

(54) 发明名称
一种半导体器件及其制作方法

(57) 摘要

本发明公开了一种半导体器件及其制作方法,属于半导体技术领域。所述制作方法包括:提供一衬底,在所述衬底上形成垫氧化层;在所述衬底内形成多个浅沟槽;在所述浅沟槽底部形成埋层区;在所述浅沟槽内形成第一浅沟槽隔离结构和第二浅沟槽隔离结构,所述第一浅沟槽隔离结构位于半导体器件内,所述第二浅沟槽隔离结构位于相邻所述半导体器件之间;在所述衬底内形成漂移区,且所述漂移区包裹所述第一浅沟槽隔离结构和所述第一浅沟槽隔离结构底部的所述埋层区;在所述衬底内形成阱区;在所述衬底上形成栅极结构;在所述阱区内形成源区;以及在所述漂移区内形成漏区。通过本发明提供的半导体器件及其制作方法,可获得高质量半导体器件。



1. 一种半导体器件的制作方法,其特征在于,至少包括以下步骤:
提供一衬底,在所述衬底上形成垫氧化层;
在所述衬底内形成多个浅沟槽;
在所述浅沟槽底部的所述衬底中注入杂质离子,形成埋层区;
在所述浅沟槽内沉积绝缘介质,形成第一浅沟槽隔离结构和多个第二浅沟槽隔离结构,所述第一浅沟槽隔离结构位于半导体器件内,所述第二浅沟槽隔离结构位于相邻所述半导体器件之间;
在所述衬底内形成漂移区,且所述漂移区包裹所述第一浅沟槽隔离结构和所述第一浅沟槽隔离结构底部的所述埋层区;
在所述衬底内形成阱区;
在所述垫氧化层上形成栅极材料层,并刻蚀所述栅极材料层、所述第一浅沟槽隔离结构和所述垫氧化层,形成栅极结构;
在所述阱区内形成源区;以及
在所述漂移区内形成漏区。
2. 根据权利要求1所述的半导体器件的制作方法,其特征在于,所述埋层区的形成步骤包括:
形成所述浅沟槽后,在所述浅沟槽内壁和底部形成内衬氧化层;以及
向所述浅沟槽底部的所述衬底内注入所述杂质离子。
3. 根据权利要求2所述的半导体器件的制作方法,其特征在于,所述杂质离子的注入能量为15keV~30keV。
4. 根据权利要求2所述的半导体器件的制作方法,其特征在于,所述杂质离子的注入剂量为 1×10^{12} atoms/cm²~ 1×10^{14} atoms/cm²。
5. 根据权利要求1所述的半导体器件的制作方法,其特征在于,所述埋层区的底部呈方形或弧形设置。
6. 根据权利要求1所述的半导体器件的制作方法,其特征在于,所述埋层区包裹的所述浅沟槽的深度,为所述浅沟槽深度的四分之一至二分之一。
7. 根据权利要求1所述的半导体器件的制作方法,其特征在于,所述漂移区的深度大于所述浅沟槽的深度,所述漂移区还包裹与所述漂移区接触的所述第二浅沟槽隔离结构底部的部分所述埋层区。
8. 根据权利要求1所述的半导体器件的制作方法,其特征在于,所述阱区的深度和所述漂移区的深度相等,所述阱区包裹远离所述漂移区一侧的所述第二浅沟槽隔离结构底部的部分所述埋层区。
9. 根据权利要求1所述的半导体器件的制作方法,其特征在于,形成的所述栅极结构覆盖部分所述第一浅沟槽隔离结构,并向所述阱区方向延伸,直至覆盖部分所述阱区。
10. 一种半导体器件,其特征在于,包括:
衬底;
漂移区,设置在所述衬底内;
阱区,与所述漂移区并列设置在所述衬底内;
第一浅沟槽隔离结构和多个第二浅沟槽隔离结构,所述第一浅沟槽隔离结构位于半导

体器件内,所述第二浅沟槽隔离结构位于相邻所述半导体器件之间;

埋层区,设置在所述第一浅沟槽隔离结构和所述第二浅沟槽隔离结构的底部,且所述漂移区包裹所述第一浅沟槽隔离结构和所述第一浅沟槽隔离结构底部的所述埋层区;

栅极结构,设置在部分所述第一浅沟槽隔离结构上,并向所述阱区方向延伸,直至覆盖部分所述阱区;

源区,设置在所述阱区内;以及

漏区,设置在所述漂移区内。

一种半导体器件及其制作方法

技术领域

[0001] 本发明属于半导体技术领域,特别涉及一种半导体器件及其制作方法。

背景技术

[0002] 集成电源管理电路(Power Management IC,PMIC)是用于电压转换、稳压以及电池管理的集成电路。通过PMIC可以处理电源系统时序,为多种负载供电,管理多个外部电源。其中,横向双扩散金属氧化物半导体场效应晶体管(Lateral double diffusion MOS,LDMOS)可以在开关模式下工作,功耗极低。且LDMOS器件是整个集成电源管理电路的关键。目前,获得高耐压的LDMOS器件成为研究的重点,但在满足高耐压的同时,LDMOS器件的导通电阻也会增加,影响LDMOS器件的性能。

[0003] 因此,如何获得高耐压以及低导通电阻的半导体器件成为了一个重点研究。

发明内容

[0004] 本发明的目的在于提供一种半导体器件及其制作方法,通过本发明提供的半导体器件及其制作方法,可提高半导体器件的耐压性,获得高质量的半导体器件。

[0005] 为解决上述技术问题,本发明是通过以下技术方案实现的:

本发明提供一种半导体器件的制作方法,至少包括以下步骤:

提供一衬底,在所述衬底上形成垫氧化层;

在所述衬底内形成多个浅沟槽;

在所述浅沟槽底部的所述衬底中注入杂质离子,形成埋层区;

在所述浅沟槽内沉积绝缘介质,形成第一浅沟槽隔离结构和多个第二浅沟槽隔离结构,所述第一浅沟槽隔离结构位于半导体器件内,所述第二浅沟槽隔离结构位于相邻所述半导体器件之间;

在所述衬底内形成漂移区,且所述漂移区包裹所述第一浅沟槽隔离结构和所述第一浅沟槽隔离结构底部的所述埋层区;

在所述衬底内形成阱区;

在所述垫氧化层上形成栅极材料层,并刻蚀所述栅极材料层、所述第一浅沟槽隔离结构和所述垫氧化层,形成栅极结构;

在所述阱区内形成源区;以及

在所述漂移区内形成漏区。

[0006] 在本发明一实施例中,所述埋层区的形成步骤包括:

形成所述浅沟槽后,在所述浅沟槽内壁和底部形成内衬氧化层;以及

以所述内衬氧化层为掩膜,向所述浅沟槽底部的所述衬底内注入所述杂质离子。

[0007] 在本发明一实施例中,所述杂质离子的注入能量为15keV~30keV。

[0008] 在本发明一实施例中,所述杂质离子的注入剂量为 1×10^{12} atoms/cm²~ 1×10^{14} atoms/cm²。

[0009] 在本发明一实施例中,所述埋层区的底部呈方形或弧形设置。

[0010] 在本发明一实施例中,所述埋层区包裹的所述浅沟槽的深度,为所述浅沟槽深度的四分之一至二分之一。

[0011] 在本发明一实施例中,所述漂移区的深度大于所述浅沟槽的深度,所述漂移区还包裹与所述漂移区接触的所述第二浅沟槽隔离结构底部的部分所述埋层区。

[0012] 在本发明一实施例中,所述阱区的深度和所述漂移区的深度相等,所述阱区包裹远离所述漂移区一侧的所述第二浅沟槽隔离结构底部的部分所述埋层区。

[0013] 在本发明一实施例中,形成的所述栅极结构覆盖部分所述第一浅沟槽隔离结构,并向所述阱区方向延伸,直至覆盖部分所述阱区。

[0014] 本发明还提供一种半导体器件,至少包括:

衬底;

漂移区,设置在所述衬底内;

阱区,与所述漂移区并列设置在所述衬底内;

第一浅沟槽隔离结构和多个第二浅沟槽隔离结构,所述第一浅沟槽隔离结构位于半导体器件内,所述第二浅沟槽隔离结构位于相邻所述半导体器件之间;

埋层区,设置在所述第一浅沟槽隔离结构和所述第二浅沟槽隔离结构的底部,且所述漂移区包裹所述第一浅沟槽隔离结构和所述第一浅沟槽隔离结构底部的所述埋层区;

栅极结构,设置在部分所述第一浅沟槽隔离结构上,并向所述阱区方向延伸,直至覆盖部分所述阱区;

源区,设置在所述阱区内;以及

漏区,设置在所述漂移区内。

[0015] 综上所述,本发明提供一种半导体器件的制作方法,在漂移区内形成横向NPN结,降低半导体器件的导通电阻。埋层区的制作不需要进行光罩工序,简化制作工艺,降低生产成本。改善漂移区内电场分布,提高半导体器件的耐压性。栅极氧化层包括部分浅沟槽隔离结构,减少栅极氧化层的击穿现象,提高器件性能。通过本发明提供一种半导体器件的制作方法,可获得高质量的半导体器件。

[0016] 当然,实施本发明的任一产品并不一定需要同时达到以上所述的所有优点。

附图说明

[0017] 为了更清楚地说明本发明实施例的技术方案,下面将对实施例描述所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0018] 图1为一实施例中衬底和垫氧化层结构示意图。

[0019] 图2为一实施例中光刻胶层结构示意图。

[0020] 图3为一实施例中浅沟槽位置示意图。

[0021] 图4为一实施例中内衬氧化层结构示意图。

[0022] 图5为一实施例中埋层区结构示意图。

[0023] 图6至图7为一实施例中浅沟槽隔离结构形成过程示意图。

[0024] 图8为一实施例中漂移区和阱区分布示意图。

[0025] 图9为一实施例中栅极材料层结构示意图。

[0026] 图10至图11为一实施例中栅极结构形成过程示意图。

[0027] 图12至图13为一实施例中侧墙结构形成过程示意图。

[0028] 图14为一实施例中源区和漏区结构示意图。

[0029] 图15为一实施例中半导体器件结构示意图。

[0030] 标号说明：

10衬底；11垫氧化层；12垫氮化层；13光刻胶层；131第一开口；132第二开口；133浅沟槽；134内衬氧化层；14埋层区；15浅沟槽隔离结构；151绝缘介质；152第一浅沟槽隔离结构；153第二浅沟槽隔离结构；16漂移区；17阱区；18栅极材料层；19图案化光刻胶层；20栅极氧化层；201第一分部；202第二分部；21栅极结构；22侧墙结构；221侧墙介质层；23漏区；24源区；25自对准硅化物阻挡层。

具体实施方式

[0031] 下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其它实施例，都属于本发明保护的范围。

[0032] 需要说明的是，本实施例中所提供的图示仅以示意方式说明本发明的基本构想，遂图式中仅显示与本发明中有关的组件而非按照实际实施时的组件数目、形状及尺寸绘制，其实际实施时各组件的型态、数量及比例可为一种随意的改变，且其组件布局型态也可能更为复杂。

[0033] 在本发明中，需要说明的是，如出现术语“中心”、“上”、“下”、“左”、“右”、“竖直”、“水平”、“内”、“外”等，其所指示的方位或位置关系为基于附图所示的方位或位置关系，仅是为了便于描述本申请和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本申请的限制。此外，如出现术语“第一”、“第二”仅用于描述和区分目的，而不能理解为指示或暗示相对重要性。

[0034] 本发明提供一种半导体器件及其制作方法，对横向双扩散金属氧化物半导体场效应晶体管(Lateral double diffusion MOS, LDMOS)的结构进行优化，获得具有耐高压以及低导通电阻等优异性能的LDMOS器件。制备的LDMOS器件可广泛应用在通信、交通、能源、医学、家用电器以及航空航天等各个领域。

[0035] 请参阅图1所示，在本发明一实施例中，首先提供衬底10，且衬底10可以为任意适于形成的材料，例如为碳化硅(SiC)、氮化镓(GaN)、氮化铝(AlN)、氮化铟(InN)、磷化铟(InP)、砷化镓(GaAs)、硅锗(GeSi)、蓝宝石、硅片或者其它III/V化合物形成的半导体材料等，还包括这些半导体材料构成的叠层结构，或者为绝缘体上硅、绝缘体上层叠硅、绝缘体上锗化硅以及绝缘体上锗等。本发明并不限制衬底10的材料，且衬底10可以为P掺杂的半导体衬底，也可以为N掺杂的半导体衬底，本实施例中，衬底10例如为P掺杂的半导体衬底。

[0036] 请参阅图1所示，在本发明一实施例中，在衬底10上形成垫氧化层11，垫氧化层11例如为致密的氧化硅等材料，且例如可以通过干氧化法、湿氧化法或原位水汽生长法

等方法中的任一种,在衬底10上形成致密的垫氧化层11。在本实施例中,将衬底10放入例如900℃~1150℃温度下的炉管,通入氧气,衬底10与氧气在高温下反应,生成致密的垫氧化层11,且通过该方法生成的垫氧化层11的质量较好。其中,垫氧化层11的厚度例如为10nm~30nm,具体例如12nm、15nm、20nm或25nm等。

[0037] 请参阅图1所示,在本发明一实施例中,在垫氧化层11上形成垫氮化层12,垫氮化层12例如为氮化硅或氮化硅和氧化硅的混合物,在本实施例中,垫氮化层12例如为氮化硅层。其中,垫氧化层11作为缓冲层可以改善衬底10与垫氮化层12之间的应力。在本发明中,例如可以通过低压化学气相沉积法(Low Pressure Chemical Vapor Deposition,LPCVD)等方法形成垫氮化层12。具体的,例如将带有垫氧化层11的衬底10放置于充有二氯硅烷与氨气的炉管内,在压力例如为2T~10T,且在温度例如为700℃~800℃下反应,沉积垫氮化层12。且可以通过控制加热时间调整垫氮化层12的厚度,垫氮化层12的厚度例如为80nm~150nm,具体例如为90nm、100nm、120nm、130nm、140nm或150nm等。垫氮化层12可保护衬底10免受浅沟槽隔离结构制造过程中涉及的化学机械抛光平坦化制程(Chemical Mechanical Polishing,CMP)工艺的影响。且垫氮化层12在埋层区的形成过程中,可以作为掩膜,保护其他部位的衬底10不受损害。

[0038] 请参阅图2所示,在本发明一实施例中,可利用例如旋涂法在垫氮化层12上形成光刻胶层13,经过曝光,显影工艺,形成图案化的光刻胶层13。图案化的光刻胶层13上形成多个开口,用于定位浅沟槽的位置,且开口包括第一开口131和第二开口132。其中,第一开口131设置在LDMOS器件的两侧,用于LDMOS器件和其他半导体器件之间的隔离,第二开口132设置在第一开口131之间,即第二开口132设置在LDMOS器件内,以降低器件的表面电场,且第二开口132靠近一侧的第一开口131设置。

[0039] 请参阅图2至图3所示,在本发明一实施例中,以图案化的光刻胶层13为掩膜,定量刻蚀开口内的衬底10,以形成浅沟槽133。在本实施例中,例如采用干法刻蚀形成浅沟槽133,且刻蚀气体例如包括氯气(Cl_2)、三氟甲烷(CHF_3)、二氟甲烷(CH_2F_2)、三氟化氮(NF_3)、六氟化硫(SF_6)、溴化氢(HBr)中的一种或几种混合,或它们和氧气(O_2)组合。刻蚀完成后,去除图案化的光刻胶层13,以形成浅沟槽133。

[0040] 请参阅图3至图4所示,在本发明一实施例中,在形成浅沟槽133后,在浅沟槽133内形成一内衬氧化层134。在本实施例中,将衬底10例如放入炉管内,将炉管的温度控制在例如为500℃~650℃温度下,以及炉管内的压力例如为10T~20T的条件下,通入混有少量氢气的氧气,氢气和氧气在浅沟槽133内的硅表面上形成水蒸气、OH自由基、O自由基等物质的混合物,由于氢气和氧气的反应产物不与垫氧化层11以及垫氮化层12反应,所以只与浅沟槽133的内壁和底部暴露的衬底10进行反应,以形成线型的内衬氧化层134。其中,内衬氧化层134例如包括氧化硅,且内衬氧化层134的厚度例如为15nm~25nm。内衬氧化层134会在浅沟槽133的底部拐角处沉积,形成圆角,圆角能够减小接触面积,解决潜在漏电的问题,以及改善拐角处的耐压性能。内衬氧化层134还可以修复刻蚀时浅沟槽133侧壁表面的损伤,提高LDMOS器件的电性和良率。同时,内衬氧化层134作为形成埋层区的掩膜,降低杂质离子注入过程中,对浅沟槽133的损伤。

[0041] 请参阅图4至图5所示,在本发明一实施例中,在形成内衬氧化层134后,以内衬氧化层134和垫氮化层12为掩膜,注入杂质离子形成埋层区14。具体的,在浅沟槽133内,以低

注入能量注入例如硼(B)、镓(Ga)或氟化硼离子(BF_2^+)等P型杂质离子,形成埋层区14,即形成P型埋层区。在本实施例中,P型杂质离子的注入能量例如为15keV~30keV,注入剂量例如为 1×10^{12} atoms/cm²~ 1×10^{14} atoms/cm²。注入能量可根据浅沟槽的深度进行调整,因注入能量较低,因此埋层区14形成在浅沟槽133的底部,且埋层区14的底部呈方形或弧形等设置,并将浅沟槽133的底部包裹在内,埋层区14包裹浅沟槽133的深度为浅沟槽133深度的四分之一至二分之一。在本实施例中,以形成N型LDMOS器件为例,在浅沟槽133的底部形成P型的埋层区14,在其他实施例中,若制备P型LDMOS器件,则可在浅沟槽的底部形成N型的埋层区,可根据制备的器件类型进行选择。

[0042] 请参阅图5至图6所示,在本发明一实施例中,在浅沟槽133内沉积绝缘介质151,直至绝缘介质151覆盖垫氮化层12的表面。本发明并不限制绝缘介质151的沉积方式,例如可以通过高密度等离子体化学气相淀积(High Density Plasma CVD,HDP-CVD)或高深宽比化学气相淀积(High Aspect Ratio Process CVD,HARP-CVD)等沉积方式,以形成高质量的绝缘介质151。在本实施例中,绝缘介质151例如通过高密度等离子体化学气相淀积法制备,且绝缘介质151例如为低介电常数的氧化硅。在其他实施例中,绝缘介质151还可以为其他绝缘的介电材料制备。

[0043] 请参阅图2、图6至图7所示,在本发明一实施例中,在制备完成绝缘介质151后,对绝缘介质151进行平坦处理,例如利用化学机械抛光(Chemical Mechanical Polishing,CMP)工艺平坦化绝缘介质151和部分垫氮化层12,使绝缘介质151和垫氮化层12的高度一致。后对抛光后的垫氮化层12进行刻蚀去除,本发明并不限制垫氮化层12的去除方法,例如采用干法刻蚀或湿法刻蚀等。在本实施例中,例如采用酸溶液进行刻蚀,具体采用体积分数例如为85%~88%的磷酸,在例如150℃~165℃的条件下,对垫氮化层12进行刻蚀,再使用氢氟酸对绝缘介质151进行刻蚀,以形成浅沟槽隔离结构15,其中,将位于器件内的浅沟槽隔离结构定义为第一浅沟槽隔离结构152,将器件两侧的浅沟槽隔离结构定义为第二浅沟槽隔离结构153,即第一开口131定义第二浅沟槽隔离结构153的位置,第二开口132定义第一浅沟槽隔离结构152的位置。通过控制刻蚀时间,确保浅沟槽隔离结构15与垫氧化层11远离衬底10的表面位于同一平面内。

[0044] 请参阅图8所示,在本发明一实施例中,在浅沟槽隔离结构15制备完成后,对衬底10进行离子注入,以形成不同的掺杂区。即半导体器件两端的浅沟槽隔离结构15之间进行离子注入,形成漂移区16和阱区17。例如在浅沟槽隔离结构15和垫氧化层11上形成图案化的光刻胶层(图中未显示),暴露出部分垫氧化层11和第一浅沟槽隔离结构152,注入第一掺杂离子,形成漂移区16,即漂移区16包裹LDMOS器件的浅第一浅沟槽隔离结构152。再重新形成图案化的光刻胶层(图中未显示),暴露部分垫氧化层11,注入第二掺杂离子,形成阱区17,且阱区17和漂移区16并列设置在衬底10内。阱区17和漂移区16位于LDMOS器件两侧的第二浅沟槽隔离结构153之间,且与LDMOS器件两侧的第二浅沟槽隔离结构153,但阱区17和漂移区16之间并不接触,存在预设距离。其中第一掺杂离子例如为磷(P)或砷(As)等N型杂质,第二掺杂离子例如为硼(B)或镓(Ga)等P型杂质,即漂移区16为N型漂移区,阱区17为P型阱区。

[0045] 请参阅图8所示,在本发明一实施例中,第一掺杂离子的注入能量较大,形成深度较大的漂移区16,且第一掺杂离子的注入剂量小于形成埋层区14的P型杂质离子的注入剂

量。在本实施例中,第一掺杂离子的注入能量例如为50keV~80keV,注入剂量例如为 1×10^{10} atoms/cm²~ 1×10^{12} atoms/cm²,以确保漂移区16的深度大于埋层区14的深度,以包裹埋层区14。且在漂移区16内部,埋层区14与两侧的漂移区16形成横向的NPN结,改变漂移区16内的电场分布,提高LDMOS器件的耐压性。且埋层区14的两侧在漂移区16内形成两条导电通路,从而降低器件的导通电阻,获得高性能的LDMOS器件。第二掺杂离子的注入能量例如为50keV~80keV,注入剂量例如为 1×10^{10} atoms/cm²~ 1×10^{12} atoms/cm²,获得的阱区17与漂移区16的深度相同。且与第二浅沟槽隔离结构153的底部形成的埋层区14的掺杂离子类型与阱区17的第二掺杂离子的类型相同,对阱区17的影响可以忽略,因此在形成埋层区14时,不需要增加光罩工序,可以提高生产效率,并降低生产成本。若在包括P型LDMOS器件和N型LDMOS器件的集成器件中,仅需要提升N型LDMOS器件的性能时,在浅沟槽内形成内衬氧化层后,可直接进行P型杂质离子注入形成P型埋层区,提高N型LDMOS器件的性能,同时,不影响P型LDMOS器件的电性,简化生产过程。

[0046] 请参阅图8所示,在本发明一实施例中,在形成漂移区16和阱区17后,对衬底10进行快速热退火处理。在本实施例中,例如在1000℃~1200℃下,处理40s~80s。通过快速热退火处理,对埋层区14、漂移区16和阱区17进行激活,能够修复制作过程中产生的晶格缺陷、激活掺杂离子和最小化掺杂离子扩散三者之间取得优化,且快速热退火还能减小瞬时增强扩散。

[0047] 请参阅图9所示,在本发明一实施例中,在垫氧化层11和浅沟槽隔离结构15上形成栅极材料层18,栅极材料层18例如为多晶硅层或金属层。在本实施例中,栅极材料层18例如为多晶硅层,且栅极材料层18的厚度例如为50nm~100nm。栅极材料层18覆盖垫氧化层11和浅沟槽隔离结构15上,在栅极材料层18形成后,平坦化栅极材料层18,确保栅极材料层18远离衬底10一侧的表面平整。

[0048] 请参阅图10至图11所示,在本发明一实施例中,在栅极材料层18上形成图案化光刻胶层19,且图案化光刻胶层19覆盖部分第一浅沟槽隔离结构152、以及第一浅沟槽隔离结构152靠近阱区17一侧的部分垫氧化层11。以图案化光刻胶层19为掩膜,刻蚀去除图案化光刻胶层19外的栅极材料层18、垫氧化层11和部分第一浅沟槽隔离结构152。在本实施例中,例如采用分步刻蚀或一步刻蚀去除栅极材料层18和垫氧化层11,在本实施例中,例如通过干法刻蚀进行一步刻蚀,且刻蚀气体例如包括氯气(Cl₂)、六氟化硫(SF₆)、四氯化硅(SiCl₄)、三氟甲烷(CHF₃)或四氟化碳(CF₄)等中的一种或几种混合,去除图案化光刻胶层19覆盖外的栅极材料层18、垫氧化层11和部分第一浅沟槽隔离结构152。在其他实施例中,也可选择湿法刻蚀或湿法刻蚀和干法刻蚀相结合的方式进行刻蚀。

[0049] 请参阅图7和图11所示,在本发明一实施例中,在栅极材料层18、垫氧化层11和部分第一浅沟槽隔离结构152刻蚀完成后,形成栅极氧化层20。其中,栅极氧化层20包括第一分部201和第二分部202,第一分部201包括漂移区16内的部分第一浅沟槽隔离结构152,第二分部202包括漂移区16内的第一浅沟槽隔离结构152靠近阱区17一侧的垫氧化层11,且第二分部202覆盖部分阱区17。即在形成栅极氧化层20的过程中,可避免在垫氧化层11和第一浅沟槽隔离结构152之间形成缺陷,提高栅极氧化层20的耐击穿性能。且栅极氧化层20包括了部分第一浅沟槽隔离结构152,相当于横向减小了漂移区16内的第一浅沟槽隔离结构152的横向尺寸,在满足适用高压的前提下,减小第一浅沟槽隔离结构152的宽度,降低导通电

阻。在本实施例中,将刻蚀后形成的栅极氧化层20及其上方的栅极材料层18定义为栅极结构21。

[0050] 请参阅图12至图13所示,在本发明一实施例中,在衬底10和栅极结构21上形成侧墙介质层221,且侧墙介质层221的材料例如为氧化硅、氮化硅或者氧化硅和氮化硅叠层等材料。形成侧墙介质层221之后,例如可采用光刻等刻蚀工艺去除栅极结构21、浅沟槽隔离结构15以及部分衬底10上的侧墙介质层221,保留位于栅极结构21两侧的侧墙介质层221。将保留下的侧墙介质层221定义侧墙结构22,且侧墙结构22的高度与栅极结构21的高度一致,侧墙结构22的宽度由栅极结构21的顶部至底部逐渐增加,通过设置绝缘性侧墙结构22,防止制备的LDMOS器件产生漏电现象。在本实施例中,侧墙结构22的形状例如为圆弧状,在其他实施例中,侧墙结构22的形状还可以为三角形状或L形状。

[0051] 请参阅图14所示,在本发明一实施例中,在侧墙结构22形成后,在漂移区16内形成漏区23,在阱区17内形成源区24。具体的,通过较低的注入能量注入高含量的杂质离子,形成重掺杂区。其中,漏区23设置在漂移区16内,且漏区23靠近衬底10的表面,漏区23的掺杂类型与漂移区16的掺杂类型相同,例如为N型重掺杂区。源区24设置在阱区17内,且源区24靠近衬底10的表面,源区24的掺杂类型与漏区23的掺杂类型相同,例如为N型重掺杂区。

[0052] 请参阅图15所示,在本发明一实施例中,在形成漏区23和源区24后,在上漏区23、源区24和栅极结构21上形成自对准硅化物阻挡层(Self-Aligned Block,SAB)25,即自对准硅化物阻挡层25覆盖栅极结构21、漏区23和源区24的顶部。自对准硅化物阻挡层25例如为钴化硅(SiCo)等金属硅化物,以降低接触电阻。具体的,在衬底10及栅极结构21上形成介电层,将栅极结构21、漏区23和源区24顶部的介电层刻蚀去除,在栅极结构21、漏区23和源区24区域上沉积金属材料,例如钛、钴或镍等,通过快速退火处理的方式将金属材料与衬底10中的硅反应,形成金属硅化物,最后,去除未反应的金属及介电层。其中,将栅极结构21及其上方的自对准硅化物阻挡层25定义为LDMOS器件的栅极,源区24及其上方的自对准硅化物阻挡层25定义为LDMOS器件的源极,漏区23其上方的自对准硅化物阻挡层25定义为LDMOS器件的漏极。在LDMOS器件工作过程中,栅极给予正向电压,给晶体管提供基极电流,使晶体管导通。此时,电子从源极流向漏极,漏极处的电流较大,而在漂移区内,由于埋层区的存在,形成的横向NPN结能够提供两条导通电路,降低导通电阻,因此能够在获得高耐压器件的同时,降低导通电阻,能够获得高质量的半导体器件。

[0053] 综上所述,本发明提供一种半导体器件及其制作方法,在形成层浅沟槽后,在浅沟槽的底部形成埋层区,埋层区包裹在漂移区内。埋层区与两侧的漂移区形成的横向NPN结能够提供两条导通电路,降低导通电阻。在提高半导体器件耐压性能的同时,降低导通电阻,能够获得高质量的半导体器件。

[0054] 以上公开的本发明实施例只是用于帮助阐述本发明。实施例并没有详尽叙述所有的细节,也不限制该发明仅为所述的具体实施方式。显然,根据本说明书的内容,可作很多的修改和变化。本说明书选取并具体描述这些实施例,是为了更好地解释本发明的原理和实际应用,从而使所属技术领域技术人员能很好地理解和利用本发明。本发明仅受权利要求书及其全部范围和等效物的限制。

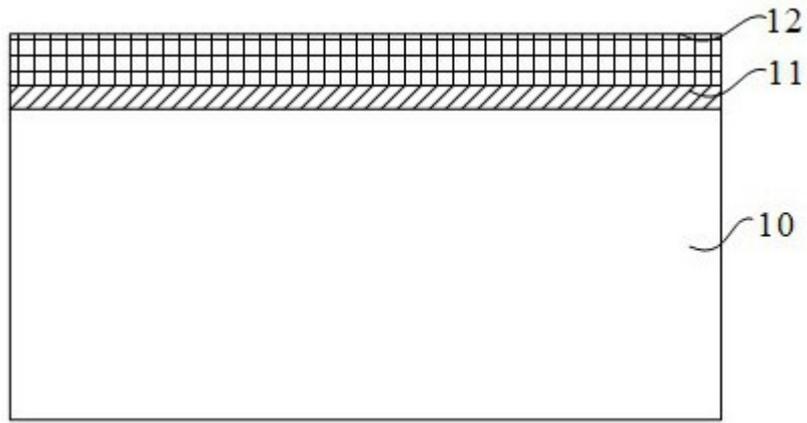


图1

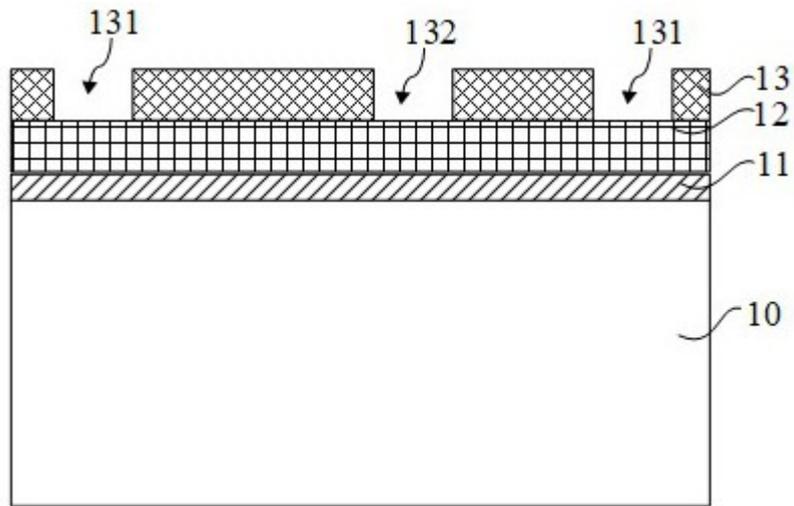


图2

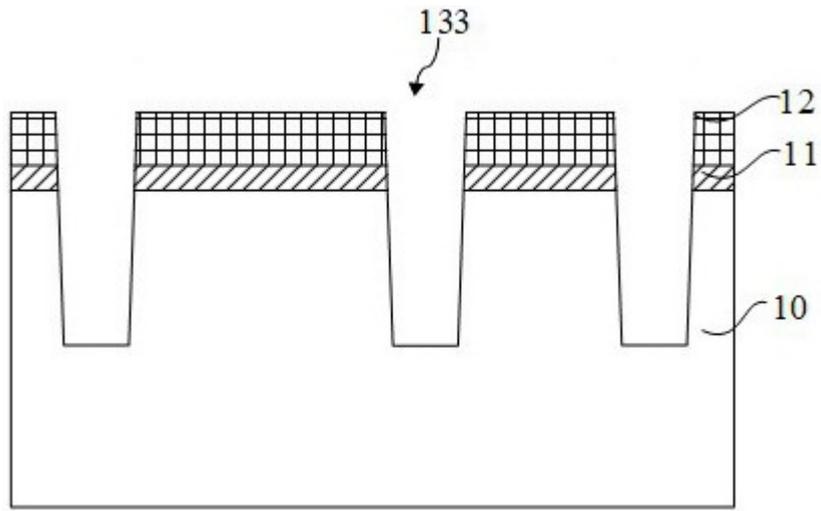


图3

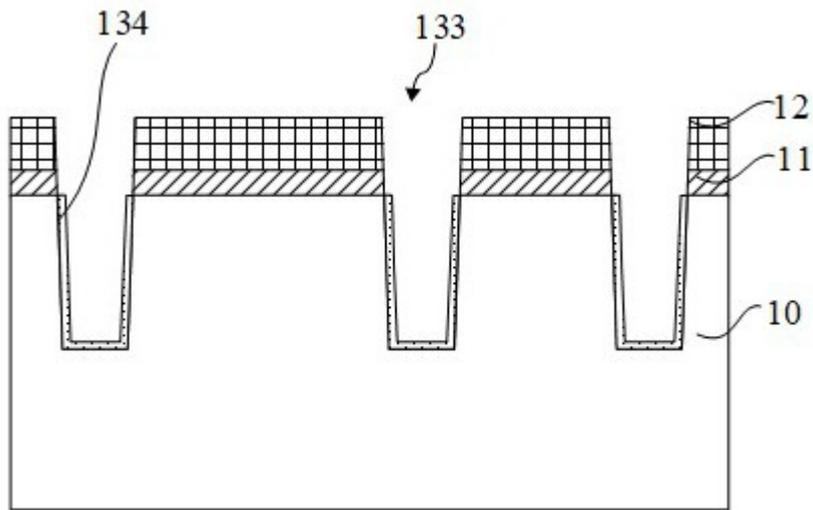


图4

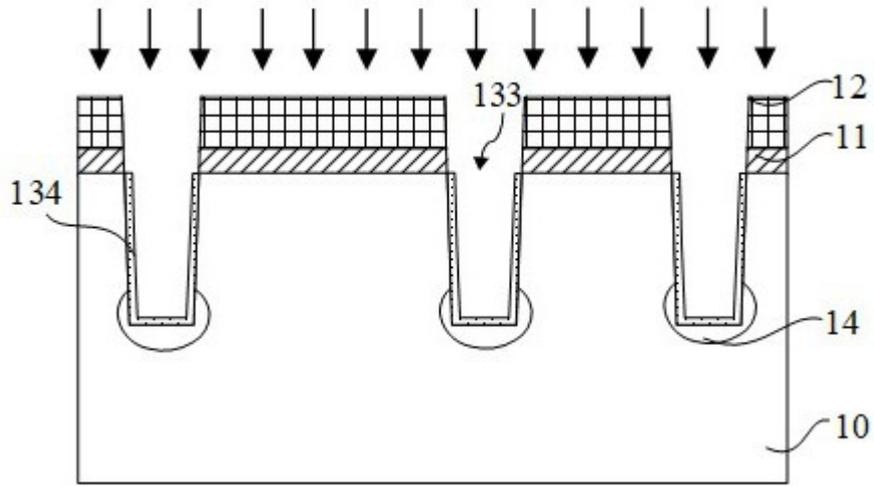


图5

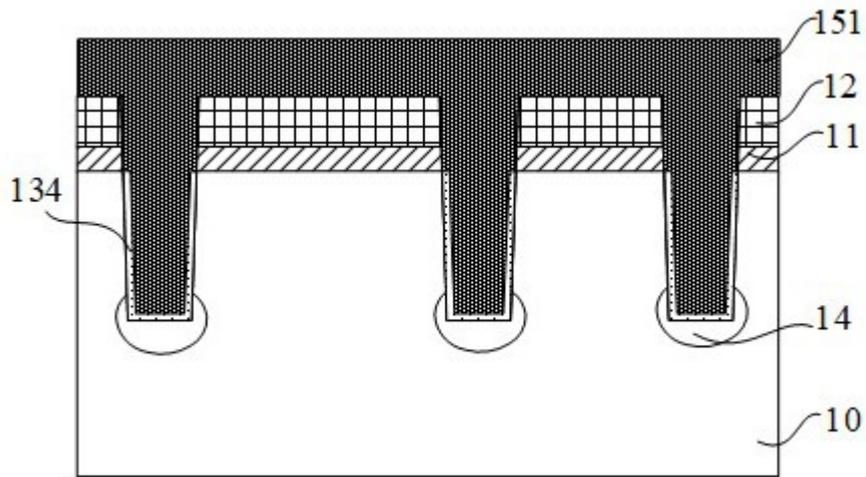


图6

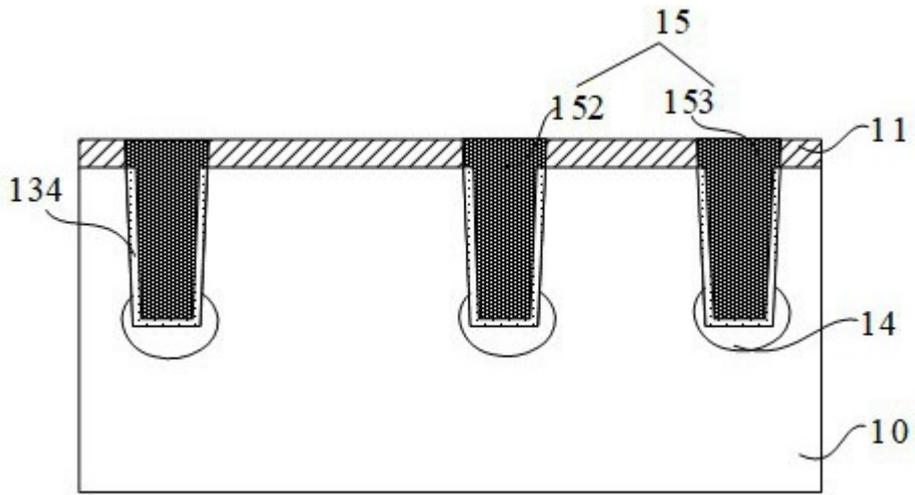


图7

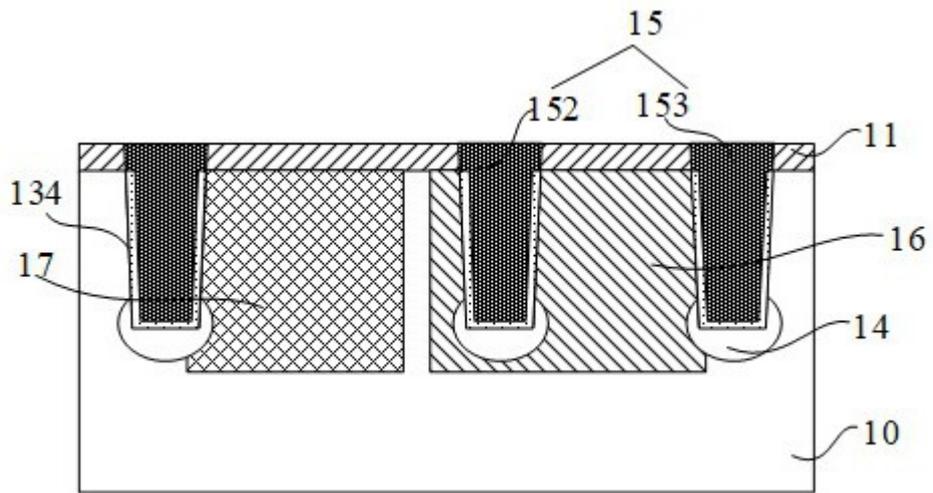


图8

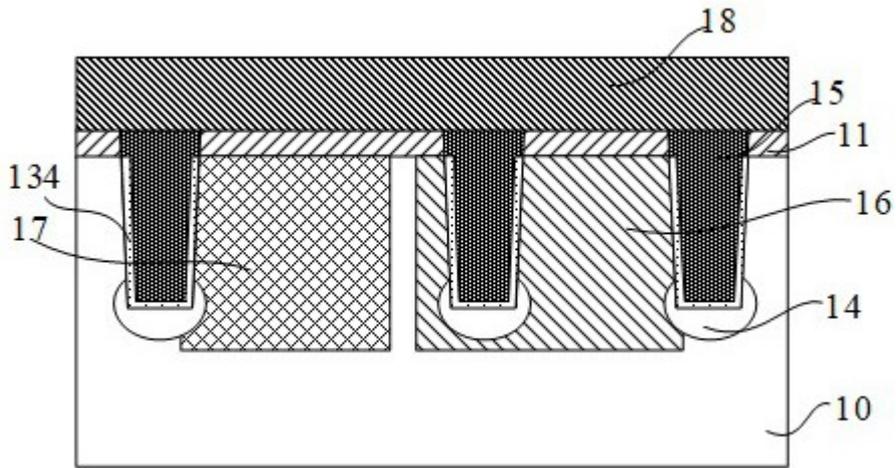


图9

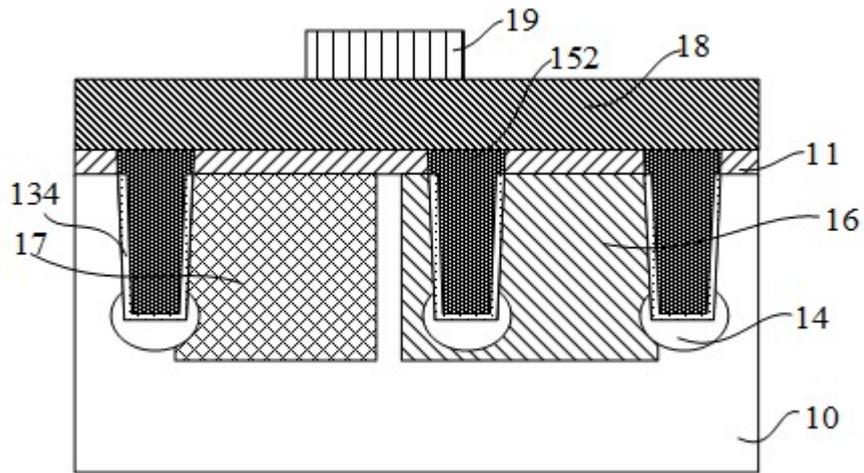


图10

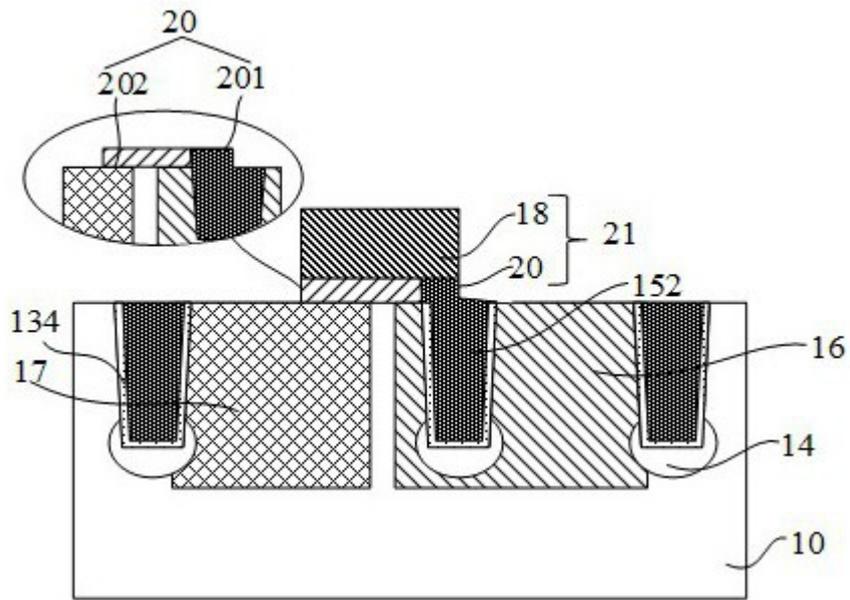


图11

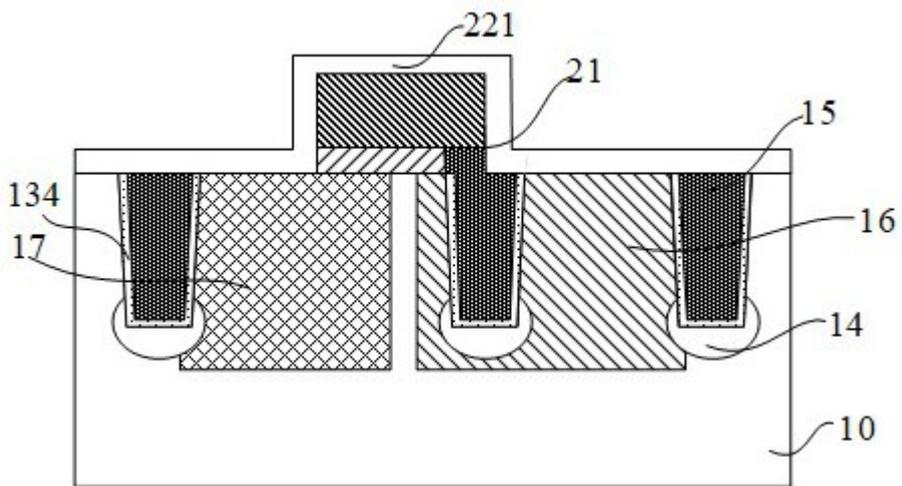


图12

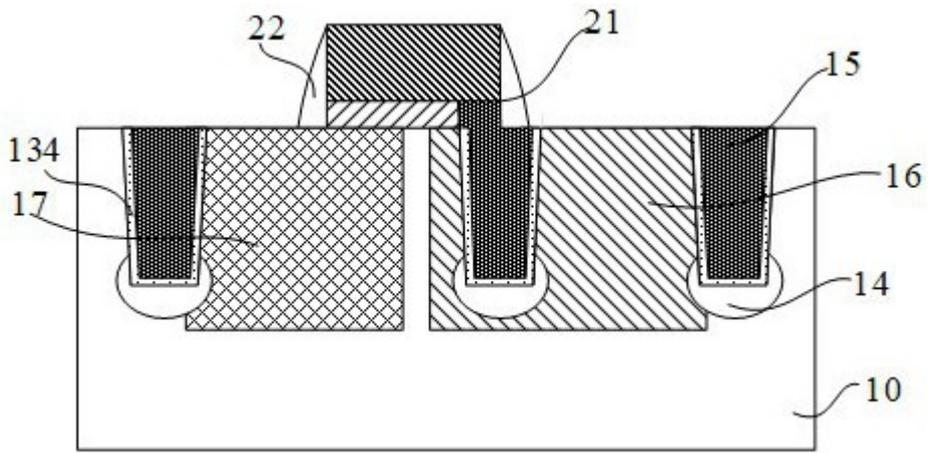


图13

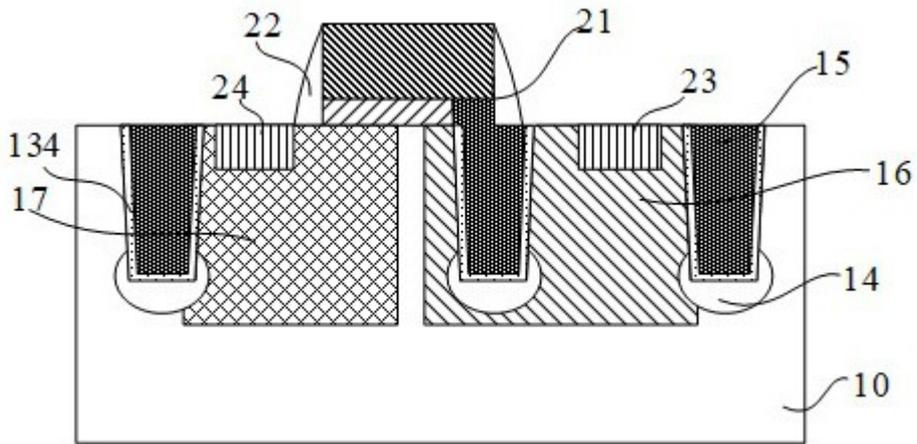


图14

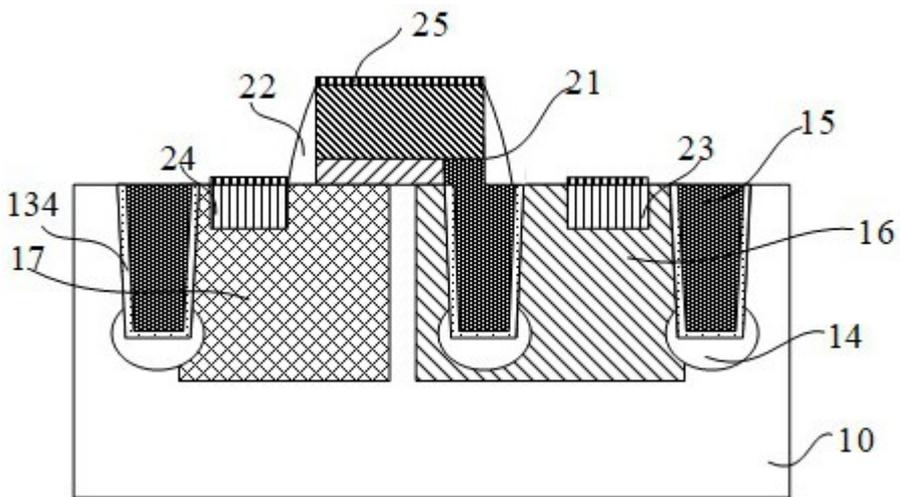


图15